

PAT-NO: JP357194548A  
DOCUMENT-IDENTIFIER: JP 57194548 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: November 30, 1982

## INVENTOR-INFORMATION:

NAME	COUNTRY
NAKAMURA, YOSHIHIRO	
OKUTO, YUJI	

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP N/A	

APPL-NO: JP56078962  
APPL-DATE: May 25, 1981

INT-CL (IPC): H01L021/88 , H01L029/78

US-CL-CURRENT: 148/DIG.53, 438/121, 438/164, 438/655, 438/FOR.360,  
438/FOR.362, 438/FOR.424

## ABSTRACT:

PURPOSE: To enable to obtain a silicide by preventing the oxidation of a metal film using an ordinary heating furnace by a method wherein a high-melting point metal film and a silicon film, having the prescribed thickness respectively, are deposited on silicon in the above order, and a heat treatment is performed at the prescribed temperature or above.

CONSTITUTION: A gate oxide film 4 is formed on the island-type silicon layers 2 and 3 on a sapphire substrate 1, then a polycrystalline silicon film 5, which is thicker than an Mo film 6, an Mo film 6 of 1,000 $\text{\AA}$ ; or above in thickness, and a polycrystalline silicon film 7 of 300 $\text{\AA}$ ; or above but not more than the thickness of the Mo film, are formed on the film 4, a heat treatment is performed at 800°C or above using an ordinary furnace, and the above is brought into a silicified state by reacting the Mo film and a part of the polycrystalline films 5 and 7. Care should be taken when performing the heat treatment so that the polycrystalline film 7 on the surface will not be vaporized by reacting with the oxygen remained in the atmosphere. Then, an etching is performed on the formed Mo silicide layer 10 and the non-reacted polycrystalline silicon layers 8 and 9, whereon impurities were doped, and a gate

electrode and a wiring section are obtained.

COPYRIGHT: (C)1982, JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—194548

⑤ Int. Cl.<sup>3</sup>  
H 01 L 21/88  
29/78

識別記号

庁内整理番号  
6810—5F  
7377—5F

⑬ 公開 昭和57年(1982)11月30日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

⑯ 特 願 昭56—78962

⑰ 出 願 昭56(1981)5月25日

⑱ 発 明 者 中村嘉宏  
東京都港区芝五丁目33番1号日  
本電気株式会社内

⑲ 発 明 者 奥戸雄二  
東京都港区芝五丁目33番1号日  
本電気株式会社内  
⑳ 出 願 人 日本電気株式会社  
東京都港区芝5丁目33番1号  
㉑ 代 理 人 弁理士 内原晋

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

電極、配線部を形成するに、厚さ1000Å以上の高融点金属膜および厚さ300Å以上でしかも前記高融点金属膜の厚さをこえない厚さのシリコン膜をこの順に前記高融点金属膜以上の厚さを有するシリコン上に堆積した後800℃以上の温度で熱処理することを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明はシリコンを主要構成材とした半導体装置（以下シリコン素子と称す）の電極、配線部の製造方法に関するものである。最近、多結晶シリコンの代わりにより低抵抗のMo、W、Ti、Ta等の高融点金属を電極、配線部の構成材料として使用試みが種々なされている。

しかし、これら高融点金属といえども一般に酸

化性雰囲気が存在するところで熱処理を行なうと500℃程度の低温でも蒸気圧の高い酸化物を形成し、気化してしまうため、従来のシリコン素子の製造工程で使用されている不活性雰囲気以上に注意深く不純物として含まれる酸素や水等の酸化性ガスを除去したより高純度な不活性雰囲気中で熱処理する必要がある。またその熱処理を空気の逆流が無視できるような加熱炉、例えば炉心管の出口側を充分長くとり、加熱されたウエハを逆流してくる空気に接触させないように工夫した加熱炉を使って行なう必要がある。また洗浄方法にも種々の制約が必要となるなど、実用上いくつかの困難がある。

そこで耐酸化性、耐薬品性がありしかも高温の熱処理に耐える高融点金属—シリコン間合金（以下シリサイドと略す）が注目されている。シリコン素子の製造プロセスにおけるシリサイド膜の形成方法は大きく2種類ある。1つは最初からシリサイドとして堆積する方法であり、例えばシリサイドのターゲットを用いてRFスパッタでシリ

サイド膜を形成する方法がある。もう1つは金属とシリコンとを重ねて堆積し、熱処理で合金化反応を起こさせてシリサイドを形成する方法である。シリサイドは低抵抗の配線材料としてシリコン素子に用いるのであるから当然バルクSi、多結晶シリコン(以下poly Siと略す)とのコンタクトが良好にとれていなければならない。上記の方法のうち前者では堆積するシリサイド膜はそれ以上Siと反応しないような相のものをを用いることが多いのでSi上に堆積して熱処理しても両者が反応を起こさず、逆にコンタクト不良やはがれを生じることすらある。そのため上記のRPSパッタを用いる方法でははじめにSiの表面を逆スパッタリングでエッチングしてから<sup>から</sup>清浄にしてシリサイドの堆積を行なって両者の密着を完全なものにしようとしていっている。しかしこの方法では一方ではSi中にダメージを導入してしまう恐れがある。一方、後者の合金化反応を用いる方法では堆積直後の金属と下地のSiとの界面がシリサイド化するので、コンタクト不良は起こしにくい

しはがれも少ない。またこの方法ではシリサイドがSi表面を侵食して形成されるので、Siとのコンタクトは半導体表面から離れたSi内部にでき、接触界面が汚染される危険をも減じることができるといふ長所がある。

一般に絶縁ゲート型電界効果トランジスタなどのゲート配線は、ゲート絶縁膜のすぐ上がpoly Siであることが特性上好ましいので、後者の方法を用いる場合は、poly Si膜の上に金属膜を堆積して合金化させ、poly Si膜の上にシリサイド膜を重ねる構造にする。すると合金化させるときには高融点金属膜が露出していることになるため、前述のように従来の加熱炉を使うことができないという欠点があったわけである。

本発明はこのような従来の高融点金属工程のもつ欠点を除去し、従来の高融点金属を用いないシリコン素子の製造工程で使われてきた簡単な製造装置を使うことができるようにした、シリサイド工法を提供することを目的としている。

本発明の特徴は、厚さ1000Å以上の高融点金

属膜および厚さ300Å以上でしかも前記高融点金属膜の厚さをこえない厚さのシリコン膜をこの順に前記高融点金属膜以上の厚さを有するシリコン上に堆積した後800℃以上の温度で熱処理することにある。

以下本発明の一実施例を用いて説明する。

第1図は本発明の一実施例である相補型SUS MOS(Silicon on Sapphire Metal oxide Semiconductor)トランジスタの製造工程を(a)~(d)の順に主要工程を追って示した模式的断面図である。1がサファイア基板、2がNチャネルトランジスタとなるシリコン膜、3がPチャネルトランジスタとなるシリコン膜である。リソグラフィ工程、エッチング工程でサファイア基板1上のSi膜をトランジスタとなる部分以外を除去し厚さ400Åのゲート酸化膜をSi膜2、3上に成膜し、Nチャネルトランジスタ、Pチャネルトランジスタにそれぞれチャネルドープを行ない、厚さ4000Åのpoly Si膜5をCVD(Chemical Vapor Deposition)法で堆積した後、Nチャネ

ル上のpoly Si膜8にはリンを、Pチャネル上のpoly Si膜9にはボロンをイオン注入法で高濃度にドーブし、アニールを行なったあと、poly Si膜8、9上に前のアニール、洗浄工程で形成された酸化膜を緩衝フッ酸で除去し、改めて真空蒸着法でpoly Si膜8、9上に厚さ1000Åのモリブデン膜6、厚さ500Åのシリコン膜7をこの順に連続して堆積した状態である。

第1図(b)では1000℃、N<sub>2</sub>中、5分の熱処理でN<sup>+</sup>、P<sup>+</sup> poly Si膜8、9上に同時にモリブデンシリサイド膜(MoSi<sub>2</sub>)10を形成した状態である。表面のSi膜7とMo膜6は完全に反応しすべてシリサイド化している。下のpoly Si膜8、9はこの熱処理後も半分程度残っており、Nチャネルトランジスタ上ではN<sup>+</sup> poly Siゲート、Pチャネルトランジスタ上ではP<sup>+</sup> poly Siゲートという状態が保たれている。

Mo膜が露出している条件で、前述のような通常の電炉で熱処理すると500℃程度の加熱でもMo膜は急速に酸化されその酸化物は気化して必

しまうことは前に述べたとおりである。ところが本実施例ではMo膜の上に更にSi膜を堆積するという極めて簡単な方法でMo膜の酸化を防ぐことができるため通常の型の炉および通常の純度のガスを使うことができる。つまりSi膜があることによってMo膜中への酸化性ガスの拡散を防止でき、Moの酸化を防ぐことができる。Si膜を用いた理由はSiならばシリサイド膜形成とMoの酸化防止を兼ねることができるからである。次にこのSi膜の厚さを特許請求の範囲において制限した理由を述べる。300ÅはSiがMo等々の高融点金属の酸化防止用として pin holeなく使える最低限の厚さと考えられるからである。最高を高融点金属膜の厚さと同じとしたのは、合金化反応によって高融点金属の全部を丁度反応させ表面にSi膜を残さない場合を考えるわけである。こうすることによりこの後の配線工程で使われる例えばアルミニウム膜とのコンタクトをも確実にとれるようになる。一方、高融点金属膜の膜厚を最低1000Åとしたのは、後で詳しく述べるが、シリサイド

膜であった。バルクSi上あるいはアモルファスSi上でもほぼ同じ抵抗値になる。これ以上抵抗値が高いとN poly Siと変わらなくなるため800℃を最低限とした。また本実施例のMoシリサイド膜の抵抗値の温度変化を第2図に示す。この図からもわかるように1100℃程度で抵抗値が一定となる。

熱処理時の雰囲気は通常のシリコン素子の製造工程で使用されるものならば何でもよい。真空中でもよい。酸化性雰囲気は従来は使えなかったが本発明の方法によると逆に利点になる。つまりSi膜の酸化速度より高融点金属膜とSi膜の合金化反応の速度の方がはるかに大きいからシリサイド膜を形成すると同時にその表面保護膜として熱酸化のSiO<sub>2</sub>膜を成長させることができる。

第1図(c)ではMoシリサイド膜10上にリソグラフィ工程を用いてレジストパターンを形成しCD。ガスでMoシリサイド膜10とpoly Si膜8, 9を同時にエッチングした後レジストを除去した状態である。

膜をあるていど厚く形成し抵抗値を十分下げるためである。

下地のシリコンは単結晶、多結晶、アモルファスいずれでもよい。このシリコンの厚さを上記モリブデン膜の膜厚以上とした理由は、Si IGFE T (Si Isolation Gate Field Effect Transistor) に本発明の方法を応用するとき、FETのゲート絶縁膜上にシリコンが存在することが安定性、設計性の点で好都合であるからである。例えばMoとSiではMoSi<sub>2</sub>よりSiリッチな相のシリサイドは存在しない。従ってゲート絶縁膜上のシリコンをそのすぐ上に堆積するモリブデン以上の厚さにしておけば、熱処理後ゲート絶縁膜側のシリコンが残るということであり、実効上かかる効果を待たれる厚さに限定したという意味である。熱処理温度を800℃以上と限定したのは、熱処理中に形成されるシリサイドの抵抗値は温度が低いほど低くなり、ある温度で一定となる傾向があるためである。例えば本実施例ではこの抵抗値は800℃との熱処理後、N poly Si膜上で15Ω/□

以後の工程は従来の製造工程と同じである。第1図(d)はNチャネルトランジスタにはリンを、Pチャネルトランジスタにはボロンをイオン注入法で高濃度にドーピングして、ソース・ドレイン領域(Nチャネル、Pチャネルでそれぞれ11, 12)を形成し、アニールを行ない、その後CVD法で厚さ5000ÅのSiO<sub>2</sub>膜13を堆積し、リソグラフィ工程、エッチング工程を用いてコンタクトホールを開口し、そのあと配線層としてアルミニウムを真空蒸着し、リソグラフィ工程、エッチング工程でアルミニウム配線パターン14を形成した状態である。

第1図(d)の諸工程でもMoシリサイド膜10とpoly Si膜8, 9の2層構造のゲートは安定であり、Moシリサイド膜形成後はそれ以上の変化を起こすことはない。

このようにして製造したトランジスタは従来のpoly Siを用いたゲート電極をもつトランジスタに比べゲート距離抵抗が約1桁低く良好な特性を示す。

以上実施例としてはSUSを用いたが、バルクSi IGFET、あるいはバイポーラトランジスタでも同様の特性を得ることができることは明らかである。

#### 図面の簡単な説明

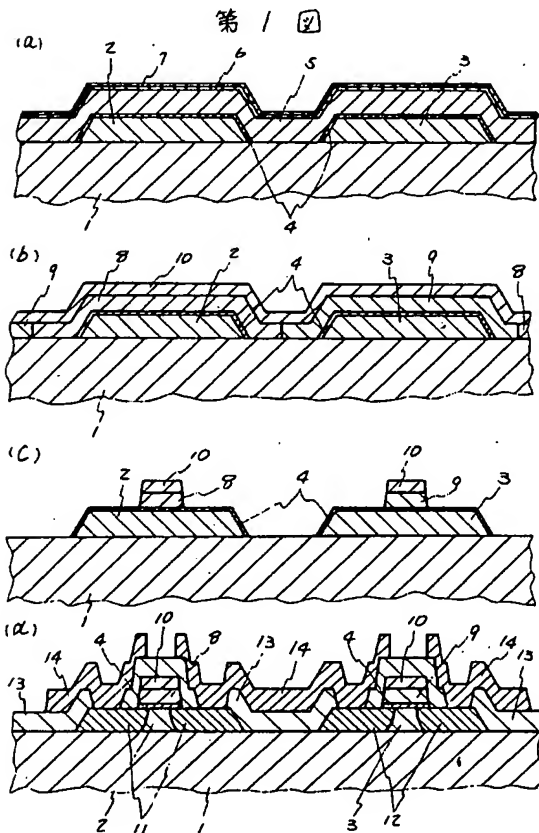
第1図は本発明の一実施例についてその主要工程を追って示した模式的断面図である。図中の記号はそれぞれ以下のものを示している。

1: サファイア基板、2: Nチャネルとなるアイランドシリコン、3: Pチャネルとなるアイランドシリコン、4: ゲート酸化膜、5: 多結晶シリコン膜(ノンドープ)、6: モリブデン膜、7: シリコン膜、8: リンをドーブした多結晶シリコン膜、9: ボロンをドーブした多結晶シリコン膜、10: モリブデンシリコン膜、11:  $N^+$ 拡散層、12:  $P^+$ 拡散層、13: CVD  $SiO_2$  膜、14: アルミニウム配線。

第2図は本発明の一実施例についてMoシリサイド膜のシート抵抗値の熱処理温度による変化を

示した図である。2.1がリンをドーブした多結晶シリコン膜上のMoシリサイド膜の抵抗値、2.2がボロンをドーブした多結晶シリコン膜上のMoシリサイド膜の抵抗値である。

代理人 弁理士 内原 晋



第2図

